

(19)



JAPANESE PATENT OFFICE

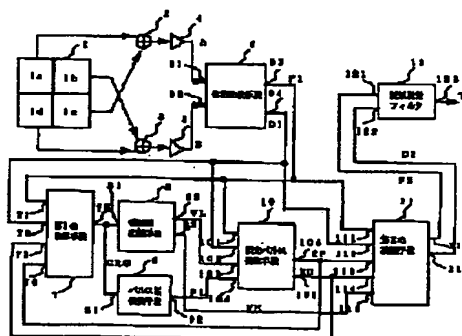
## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10124890 A**(43) Date of publication of application: **15.05.98**(51) Int. Cl. **G11B 7/09**(21) Application number: **08279163**(22) Date of filing: **22.10.96**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor:  
**YAMAGUCHI OSAMU  
AOKI KAZUHIRO  
EDAHIRO YASUAKI****(54) TRACKING ERROR SIGNAL DETECTOR****(57) Abstract**

**PROBLEM TO BE SOLVED:** To provide a tracking error signal detector capable of minimizing disorder generated due to the scratch on the surface of a disk.

**SOLUTION:** A false signal is canceled by an amount corresponding to the low band component of a phase difference when the phase difference generated between the diagonal sum signals of a detector is  $\leq T2$  time; by limiting the time to  $T2$  and by an amount corresponding to the low band component of a phase difference when the phase difference is  $\leq T2$  and  $\leq T3$  by means of a phase difference storage means 8, a pulse width detecting means 9 and an erasing pulse generating means 10; and when the phase difference is  $\leq T3$ , by canceling the false signal by means of a first and a second logical means 7, 11 and the erasing pulse generating means 10, and a tracking error signal as a final output is hardly affected by the false signal.

COPYRIGHT: (C)1998,JPO



Title of the Prior Art

TRACKING ERROR SIGNAL DETECTOR

Japanese Published Patent Application No.Hei. 10-124890

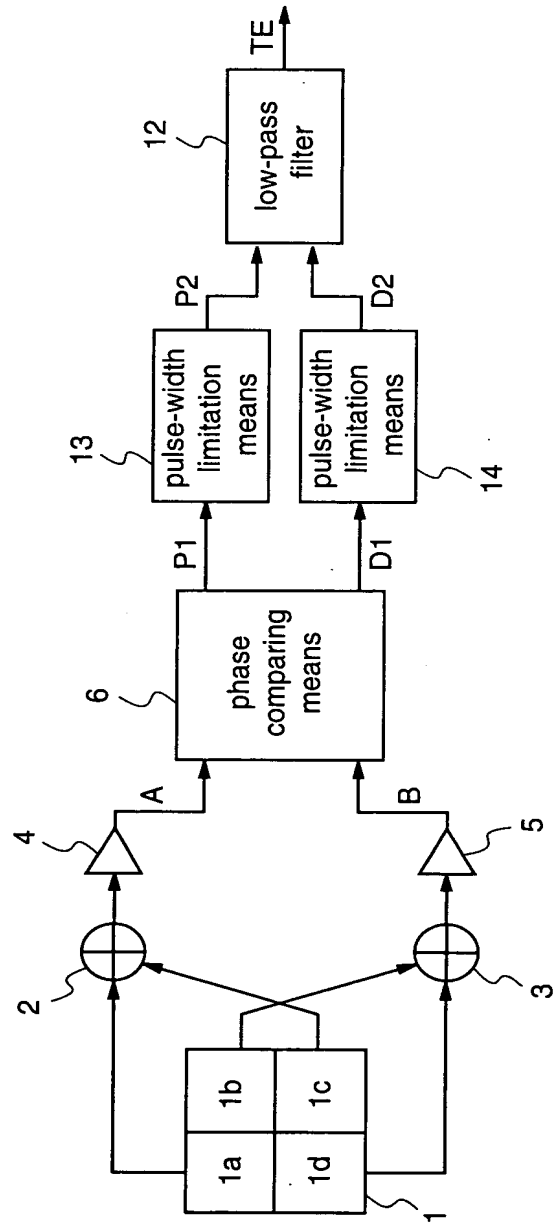
Date of Publication: May 15, 1998

Concise Statement of Relevancy

Translation of Paragraph [0003] and Figure 8

An explanation is given of a conventional tracking error detection apparatus. Figure 8 illustrates a block diagram of a conventional tracking error detection apparatus. In figure 8, numeral 1 denotes a four-division light receiving element having four light receiving surfaces 1a, 1b, 1c, 1d. Numerals 2 and 3 denote adders which take a sum of the output signals of the four-division light receiving elements in the opposing corner pairs (1a and 1c) and (1b and 1d), respectively. Numerals 4 and 5 denote binarizing means for converting the outputs of the adders 2 and 3 into binarized signals A and B, respectively. Numeral 6 denotes a phase comparator which detects the phase difference between the binarized signals A and B to output the phase difference pulses P1 and D1. Numerals 13 and 14 denote pulse width limiting means which limits the pulse widths of the phase difference pulses P1 and D1 when those exceed a predetermined threshold value T1 to T1, and outputs pulses P2 and D2. Numeral 12 denotes a low pass filter which obtains a tracking error signal TE from the outputs P2 and D2 of the pulse width limiting means 13 and 14, respectively.

Fig.8



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-124890

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.<sup>6</sup>

G 1 1 B 7/09

識別記号

F I

G 1 1 B 7/09

C

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平8-279163

(22) 出願日 平成 8 年 (1996) 10月22日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山口 修

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 青木 和弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 枝廣 泰明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

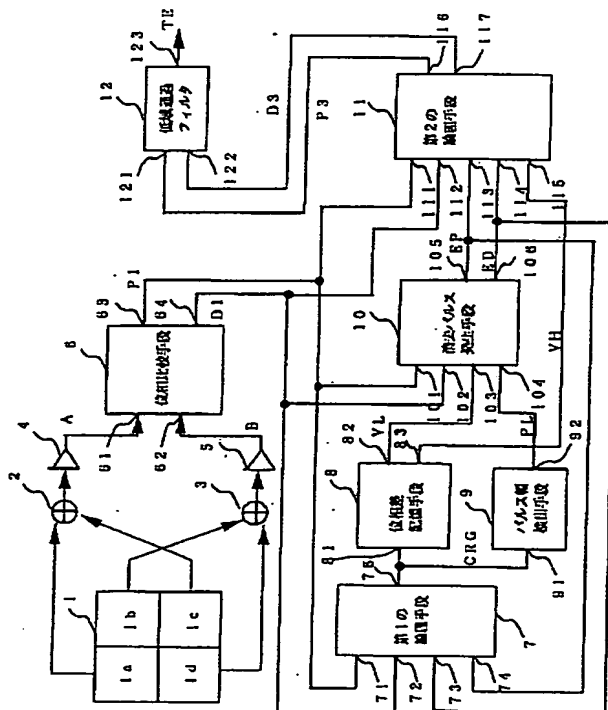
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 トラッキング誤差信号検出装置

(57) 【要約】

【課題】 ディスク表面の傷などに対して発生する乱れを最小限に抑えることのできるトラッキング誤差信号検出装置を提供する。

【解決手段】 位相差記憶手段 8、パルス幅検出手段 9、消去パルス発生手段 10により、ディテクタの対角の和信号間に発生する位相差が T 2 時間以下の場合はその位相差の低域成分に相当する量だけ、また、T 2 を越えて T 3 以下の時間の位相差の場合には、T 2 に時間を制限してその位相差の低域成分に相当する量だけ、さらに T 3 を越える位相差の場合には、逆極性にパルスを出力する第 1、第 2 の論理手段 7、11、消去パルス発生手段 10 によって偽信号を打ち消し最終出力であるトラッキング誤差信号がほとんど影響を受けないようにすることができる。



## 【特許請求の範囲】

【請求項1】 光学的情報記録媒体の情報トラック付近にレーザービームを照射する手段と、その反射ビームの光路中に設けられた分割受光手段と、上記分割受光手段を構成する第一の受光素子群と第二の受光素子群の出力信号の相互の位相差を検出してトラッキング誤差信号となすトラッキング誤差信号検出装置であって、上記第一および第二の受光素子群の出力の位相比較手段と、上記位相比較手段の出力と記憶手段の出力およびパルス幅検出手段の出力より消去パルスを発生させる消去パルス発生手段と、上記位相比較手段の出力と上記消去パルス発生手段の出力の論理出力を発生させる第1の論理手段と、上記位相比較手段の出力と上記消去パルス発生手段の出力および上記記憶手段の出力の論理出力を発生させる第2の論理手段と、上記第2の論理手段の出力よりトラッキング誤差信号を得るフィルタを具備し、上記第1の論理手段の出力により、上記記憶手段と上記パルス幅検出手段を制御するように構成したトラッキング誤差信号検出装置。

【請求項2】 上記フィルタが低域通過フィルタであることを特徴とする請求項1記載のトラッキング誤差信号検出装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、集束された光ビームを光ディスクなどの光学的情報記録媒体上に照射して情報を再生する装置におけるトラッキング誤差信号検出装置に関するものである。

## 【0002】

【従来の技術】近年、トラッキング誤差信号検出装置は、情報記録光ディスクの高密度化に伴い新たな技術発明が要望されている。

【0003】以下に、従来のトラッキング誤差信号検出装置について説明する。図8は、従来のトラッキング誤差信号検出装置のブロック図を示すものである。図8において、1は1a、1b、1c、1dの4つの受光面を持つ4分割受光素子、2及び3は4分割受光素子の対角対(1aと1c)及び(1bと1d)の出力信号の和をとる加算器、4及び5は加算器2及び3の出力をそれぞれ2値化信号A、Bに変換する2値化手段、6は2値化信号A及びBの位相差を検出し、位相差パルスP1及びD1として出力する位相比較手段、13、14は位相差パルスP1、D1のパルス幅が所定の値T1を越えるとき、パルス幅をT1に制限し、P2、D2として出力するパルス幅制限手段、12は、パルス幅制限手段13、14の出力P2、D2よりトラッキング誤差信号TEを得る低域通過フィルタである。

【0004】以上のように構成されたトラッキング誤差信号検出装置について、以下その動作について、図9を用いて説明する。

【0005】図9から図11は上記A、B、P1、D1、P2、D2、TEの各信号を、それぞれ3種類の代表的な状態について模式的に表わしたタイミングチャートである。

【0006】上記1aと上記1cの和信号と、上記1bと上記1dの和信号は、光ビームの情報記録トラックに対する位置ずれの方向と量に依存する極性と大きさを持った位相差を持ち、その位相差を信号として取り出して高周波成分を除去することでトラッキング誤差信号が得られる。

【0007】まず、状態、図9はある方向に小さな位置ずれの場合、図10は図9と逆の方向に比較的大きな位置ずれをもっている場合であり、図11は途中のディスク表面の傷などにより再生信号が乱されて結果として通常より大きな位相差が発生した場合である。

【0008】図8における13、14のパルス幅制限手段の設定値T1は光ビームとトラックの位置ずれによって発生する位相差より若干大きい値に選ばれる。そのため状態図9、図10の場合にはパルス幅制限手段は何も作用しない。ところが状態図11のように、光ディスク上の傷などにより通常より大きな位相差が発生した場合にはパルス幅制限手段は出力パルス幅をT1に制限し、トラッキング誤差信号が大きく乱れるのを軽減する。

## 【0009】

【発明が解決しようとする課題】しかしながら上記のような構成では、光ディスク表面あるいは反射面の傷や汚れ等の程度によっては、効果が不十分でトラッキングエラー信号の乱れが大きく、トラッキング制御が不安定になったり、任意のトラックへ高速で移動する検索時にトラック本数のカウン트의誤差が大きくなり、検索精度が悪化したりした。

【0010】本発明は従来のトラッキング誤差信号検出装置におけるこのような問題点を解決し、より安定なトラッキング誤差信号の検出ができる装置を提供することを目的とする。

## 【0011】

【課題を解決するための手段】上記問題点を解決するために、本発明のトラッキング誤差信号検出装置は位相比較手段の出力に接続され記憶手段である位相差記憶手段とパルス幅検出手段により、位相比較手段によって、検出された位相差T1が所定の定数T2を越えてT2よりさらに大きい定数T3以下の時間の場合にはパルス幅をT2に制限し、さらに検出された位相差が時間T3を越えた場合には消去パルス発生手段により、一旦出力したパルスを打ち消す極性に消去パルスを発生するように構成したものである。

## 【0012】

【発明の実施の形態】本発明の請求項1に記載の発明は、光学的情報記録媒体の情報トラック付近にレーザービームを照射する手段と、その反射ビームの光路中に設

けられた分割受光手段と、上記分割受光手段を構成する第一の受光素子群と第二の受光素子群の出力信号の相互の位相差を検出してトラッキング誤差信号となすトラッキング誤差信号検出装置であって、上記第一および第二の受光素子群の出力の位相比較手段と、上記位相比較手段の出力と記憶手段の出力およびパルス幅検出手段の出力より消去パルスを発生させる消去パルス発生手段と、上記位相比較手段の出力と上記消去パルス発生手段の出力の論理出力を発生させる第1の論理手段と、上記位相比較手段の出力と上記消去パルス発生手段の出力および上記記憶手段の出力の論理出力を発生させる第2の論理手段と、上記第2の論理手段の出力よりトラッキング誤差信号を得るフィルタを具備し、上記第1の論理手段の出力により、上記記憶手段と上記パルス幅検出手段を制御するように構成したものであり、この構成により、ディスク表面や反射面の傷、汚れによって発生する位相差成分の多くがT3を越える大きな位相差成分であるため、パルス幅検出手段により、T3を越える位相差であるかどうかを検出し、T3を越える位相差であった場合には、消去パルスを発生させて既に発生したパルスをほぼキャンセルすることでトラッキング誤差信号の乱れを最小限に抑えることができるという作用を有する。

【0013】本発明の請求項2に記載の発明は、上記フィルタが低域通過フィルタであることを特徴とし、トラッキング制御に適した波形に成形するという作用を有する。

【0014】（実施の形態1）以下、本発明の実施の形態1のトラッキング誤差信号検出装置について、そのブロック図である図1および要部波形図である図2を用いて説明する。尚、図1は従来技術で説明した図8と同じものには同一の番号を付け、詳細な説明は省略する。

【0015】図1において、光ヘッドの4分割受光素子の2つの対角和出力はそれぞれ2値化手段4、5でハイレベルあるいはローレベルの2値化信号A、Bに変換され、位相比較手段6の2つの入力端子61、62に入力される。位相比較手段6は入力端子61と62の位相差に応じて進み出力端子63あるいは遅れ出力端子64にP1、D1パルスをそれぞれ出力する。

【0016】位相比較手段の出力端子63、64はそれぞれ第1の論理手段7の入力端子71、72と消去パルス発生手段10の入力端子101、102、さらに第2の論理手段11の入力端子111、112に接続されている。第1の論理手段は他に入力端子73、74をもっており、入力端子73と74の信号レベルが共にローレベルで入力端子71か72がハイレベルになったとき、出力端子75の信号CRGがハイレベルになり、入力端子73か74のどちらか一方の信号レベルがハイレベルになると出力端子75の信号CRGがローレベルになるように構成されている。出力端子75は位相差記憶手段8の入力端子81とパルス幅検出手段9の入力端子91

に接続される。

【0017】位相差記憶手段8では入力端子81の信号レベルがハイレベルになったとき、内部のコンデンサを一定の電流で充電し、コンデンサの端子電圧VCは時間とともに正に向かって上昇する。コンデンサの電圧VCがVH検出レベルに達するとコンデンサの端子電圧VCをVH検出レベルに保持するとともに出力端子83の信号VHをローレベルからハイレベルに変化させる。入力端子81の信号レベルがハイレベルからローレベルになると内部のコンデンサは充電と同じ電流値で放電されるため、出力端子83はハイレベルからローレベルに変化するとともにコンデンサの端子電圧VCは負に向かって時間とともに減少する。コンデンサの端子電圧VCがVL検出レベルに達するとコンデンサの端子電圧VCをVL検出レベルに保持するとともに出力端子82の信号VLをハイレベルからローレベルに変化させる。ここで入力端子81の信号レベルをローレベルからハイレベルに変化させたとき、コンデンサの端子電圧VCがVL検出レベルからVH検出レベルまで変化するのに必要とする時間はT2に設定されている。そのため、入力端子81の信号をハイレベルからローレベルに変化させたとき、コンデンサの端子電圧がVH検出レベルからVL検出レベルに変化するのに要する時間も同じくT2となる。出力端子82、83より出力されたVLとVHの検出結果はそれぞれ消去パルス発生手段10の入力端子103と第2の論理手段11の入力端子115に入力される。一方、パルス幅検出手段9は入力端子91がローレベルからハイレベルに変化してから内部で設定された時間T3経過したとき、出力端子92の信号PLをローレベルからハイレベルに変化させ、入力端子91がローレベルに戻ると直ちに出力端子92の信号PLをハイレベルからローレベルに変化させる。ここで、T3は通常、T2より大きい値に設定する。出力端子92の信号PLは消去パルス発生手段10の入力端子104に入力される。消去パルス発生手段10は入力端子103の信号VLがハイレベルで入力端子101の信号P1がハイレベルになっているとき、入力端子104の信号PLが一瞬でもハイレベルになると出力端子105の信号EPをローレベルからハイレベルに変化させ、また、入力端子103の信号VLがハイレベルで、入力端子102の信号D1がハイレベルになっているとき、入力端子104の信号PLが一瞬でもハイレベルになると出力端子106の信号EDをローレベルからハイレベルに変化させる。出力端子105あるいは106の信号それぞれEP、EDは、入力端子103の信号VLがローレベルに一瞬でもなるとローレベルにリセットされる。出力端子105と106は第2の論理手段11の入力端子113と114あるいは前述した第1の論理手段7の入力端子74と73に接続される。第2の論理手段11は、入力端子115の信号VHがローレベルで、かつ入力端子114の信号E

Dと入力端子113の信号EPがともにローレベルにあるとき、出力端子116の信号P3は、入力端子111の信号P1と同じレベルをもつ信号になり、同様に、入力端子115の信号VHがローレベルで、かつ入力端子114の信号EDと入力端子113の信号EPがともにローレベルにあるとき、出力端子117の信号D3は入力端子112の信号D1と同じレベルをもつ信号になる。また、入力端子115の信号VHがハイレベルで、入力端子114の信号EDがローレベルのとき、出力端子116の信号P3はローレベルになり、同様に、入力端子115の信号VHがハイレベルで入力端子113の信号EPがローレベルのとき、出力端子117の信号D3はローレベルになる。また、入力端子114の信号EDがハイレベルのときは、出力端子116の信号P3はハイレベルになり、同様に、入力端子113の信号EPがハイレベルのときは、出力端子117の信号D3はハイレベルになる。

【0018】第2の論理手段11の出力端子116の信号P3と出力端子117の信号D3はそれぞれ低域通過フィルタ12の入力端子121、122に接続される。低域通過フィルタ12では、入力端子121の信号P3にパルスが発生している場合、その低域成分に相当する量だけ出力端子123の信号TEを正の電圧に変化させ、また入力端子122の信号D3にパルスが発生している場合、その低域成分に相当する量だけ出力端子123の信号TEを負の電圧に変化させる。

【0019】以上説明した構成により、図2でわかるように、2値化信号A、Bの位相差がT2以下の時間の場合にはその位相差の低域成分つまり平均値に相当する信号がTEとして出力され、A、Bの位相差がT2を越えてT3以下の時間の場合には、T2に時間を制限された信号の低域成分に相当するTEが出力され、また、A、Bの位相差がT3を越える時間発生する場合にはT2に制限され一旦出力されたパルスを同じT2の時間だけ逆極性に出力することで低域成分であるTE出力が殆ど変化しない状態にすることができる。

【0020】次に各ブロック構成の実施例について説明する。図3は位相差記憶手段8の一実施例を示すブロック図である。

【0021】入力端子81がハイレベルの間、スイッチ8aで2I1の電流値をもつ電流源8bを8cのコンデンサに接続する。一方でコンデンサ8cにはI1の電流値をもつ電流源8dが常時接続されているため、位相差が発生するとコンデンサ8cの端子電圧VCは正の電圧に向かって一定の割合で充電され、位相差が終了すると充電と同じ一定の割合で放電されるようになっている。さらにコンデンサ8cの端子電圧VCはダイオード8eと電圧源8fで構成される正電圧リミッタとダイオード8gと電圧源8hで構成される負電圧リミッタにより動作範囲が制限され、正電圧リミッタが作動したかどうか

はそれぞれ低抵抗8iと判定レベルを設定するための電圧源8j及びコンパレータ8kで構成されるVH検出回路で検出され、出力端子83に出力され、同様に負電圧リミッタが作動したかどうかは低抵抗8l、電圧源8m、コンパレータ8nで構成されるVL検出回路で検出され、出力端子82に出力される。

【0022】そこで、コンデンサ8cの電圧は図2、VCに示すように入力端子81の信号CRGがハイレベルの間、一定の割合で時間と共に正に向かって上昇し、信号CRGがローレベルになるとコンデンサ8cの電圧は負に向かって同じ割合で下降する。コンデンサの端子電圧VCが上昇しているとき、ダイオード8eと電圧源8fで設定されるVH検出レベルを越えると低抵抗8iに電流が流れ、両端に電位差が発生し、電圧源8jで設定されている電圧を越えるため、コンパレータ8kの出力であるVH検出力端子83は図2、VHのように、その瞬間ローレベルからハイレベルに変化する。同様に、コンデンサ8cの電圧が下降中、ダイオード8gと電圧源8hで設定されるVL検出レベルより低くなろうとすると低抵抗8lに電流が流れ、結果、コンパレータ8nの出力であるVL検出力端子82は図2、VLのようにハイレベルからローレベルに変化する。

【0023】図4は消去パルス発生手段10の一実施例を示すブロック図で、2個のDフリップフロップ10a、10bとインバータ10cで構成されている。そこで図2に示すように、入力端子103の信号VLがハイレベルで入力端子101の信号P1がハイレベルになっているとき、入力端子104の信号PLが一瞬でもハイレベルになると出力端子105の信号EPをローレベルからハイレベルに変化させ、また同様に、入力端子103の信号VLがハイレベルで、入力端子102の信号D1がハイレベルになっているとき、入力端子104の信号PLが一瞬でもハイレベルになると出力端子106の信号EDをローレベルからハイレベルに変化させる。出力端子105あるいは106の信号それぞれEP、EDは、入力端子103の信号VLがローレベルに一瞬でもなるとローレベルにリセットされる。

【0024】図5は第2の論理手段11の一実施例を示すブロック図で、2個のANDゲート11a、11bと2個のORゲート11c、11dおよび3個のインバータ11e、11f、11gで構成されている。図2に示すように、入力端子115の信号VHがローレベルで、かつ入力端子114の信号EDと入力端子113の信号EPがともにローレベルにあるとき、出力端子116の信号P3は、入力端子111の信号P1と同じレベルをもつ信号になり、同様に、入力端子115の信号VHがローレベルで、かつ入力端子114の信号EDと入力端子113の信号EPがともにローレベルにあるとき、出力端子117の信号D3は入力端子112の信号D1と同じレベルをもつ信号になる。また、入力端子115の

信号VHがハイレベルで、入力端子114の信号EDがローレベルのとき、出力端子116の信号P3はローレベルになり、同様に、入力端子115の信号VHがハイレベルで入力端子113の信号EPがローレベルのとき、出力端子117の信号D3はローレベルになる。また、入力端子114の信号EDがハイレベルのときは、出力端子116の信号P3はハイレベルになり、同様に、入力端子113の信号EPがハイレベルのときは、出力端子117の信号D3はハイレベルになる。

【0025】図6は第1の論理手段7の一実施例を示すブロック図であり、2個のORゲート7a、7bとANDゲート7cおよびインバータ7dより構成されている。図2のように、入力端子73の信号EDと入力端子74の信号EPが共にローレベルで入力端子71の信号P1か入力端子72の信号D1がハイレベルになったとき、出力端子75の信号CRGがハイレベルになり、入力端子73の信号EDか入力端子74の信号EPのどちらか一方の信号レベルがハイレベルになると出力端子75の信号CRGがローレベルになるように構成されている。

【0026】図7は低域通過フィルタ12の一実施例を示すブロック図であり、R1の抵抗値をもつ2個の抵抗器12a、12bとR2の抵抗値をもつ2個の抵抗器12c、12dとCの静電容量をもつ2個のコンデンサ12e、12fとオペアンプ12gより構成されている。図2に示すように、入力端子121の信号P3に正極性のパルスが発生すると出力端子123の信号TEはその低域成分に相当する量だけ正の電圧に変化し、また入力端子122の信号D3に正極性のパルスが発生した場合には、出力端子123の信号TEはその低域成分に相当する量だけ負の電圧に変化する。

【0027】以上説明した構成により、ディテクタの対角の和信号間に発生する位相差が通常の動作で頻繁に発生するT2時間以下の場合はその位相差の低域成分に相当する量だけTEとして出力し、また、発生する位相差が通常の動作でも発生し、傷など異常時にも発生しやすいT2を越えてT3以下の時間の場合には、T2に時間を制限してその位相差の低域成分に相当する量だけTEとして出力するようにして第1の制限をかけ、さらに、通常の動作で殆ど発生せず、異常時に大半発生するようなT3を越える位相差の場合には、一旦T2の時間に制限して出力されたパルスを、T3を越えた時点でT2と同じだけ逆極性にパルスを出力することで打ち消し、最終出力であるTEがほとんど影響を受けないようにする第2の制限をかけるようにすることで、本来の信号をほとんど失うことなく、傷などにより発生するTE信号の乱れを最小限に抑えることができる。

【0028】上記説明では、位相差記憶手段を充放電を利用したホールド回路、消去パルス発生手段をDフリップフロップなどを利用した論理回路、ゲート回路を利用

した第1、第2の論理回路で説明したがこれに限定されず、言い換えると、位相比較手段と、位相比較手段の出力パルスの時間を測定し、制限定数T2を有する第1の計測手段と制限定数T3を有する第2の計測手段と、パルス幅制限手段と消去パルス発生手段を有し、位相比較手段の出力幅をT1とし、 $T1 \leq T2$ の時は位相比較手段の出力を用い、 $T3 > T1 > T2$ の時はパルス幅制限手段の出力を用い、 $T3 \leq T1$ の時はパルス幅制限手段の出力を出した後、消去パルス発生手段の出力を発生する波形合成手段より構成したものであれば本発明のトラッキング誤差信号検出装置の範囲であり、上記説明の回路構成に限定されるものではない。

【0029】また、消去パルスもパルス幅制限手段の出力の後に打ち消すように説明したがこれに限定されず、上記P1、D1などのトラッキング誤差を構成する基本出力パルスの周波数が10MHz前後と非常に高く、トラッキング誤差信号の必要帯域が100KHz以下と帯域が離れているため、上記P1、D1より十分に高い50MHz以上周波数で動作するメモリーやシフトレジスタを利用し、例えば1周期分メモリーを通した信号で同様の回路を実現すれば、消去パルスをパルス幅制限手段の出力と同時に発生するか、ゲート回路などを利用して実質的にパルス幅制限手段の出力を無くすることによっても時系列で打ち消す以外の構成によっても同様の効果が得られるものである。

【0030】さらに、上記回路構成に相当する動作を、高速のマイクロコンピュータなどのソフトウェアで実現できることは自明であり、本発明の範囲内である。

【0031】

【発明の効果】本発明によれば、位相比較手段の位相差が通常の動作で頻繁に発生する周期以下の場合はその位相差の低域成分に相当する量だけトラッキング誤差信号として出力し、また、発生する位相差が通常の動作でも発生し、傷など異常時にも発生しやすい特定の周期の時間以下の場合には、パルス幅を制限してその位相差の低域成分に相当する量だけトラッキング誤差信号とするよう第1の制限をかけ、さらに、位相差が通常の動作で殆ど発生せず、異常時に大半発生するような特定の周期の時間以上か越える位相差の場合には、トラッキング誤差信号を出力しない様に第2の制限をかけるようにすることで、本来の信号をほとんど失うことなく、傷などにより発生するトラッキング誤差信号の乱れを最小限、効果的に抑えることができ、ディスク表面の傷等により発生するトラッキング誤差信号の乱れを最小限に抑えて、安定したトラッキング制御と高い精度の検索を可能にすることができるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態1のトラッキング誤差検出装置のブロック図

【図2】同、実施の形態1における要部波形図



【図 1 1】従来例におけるトラッキング誤差検出装置の

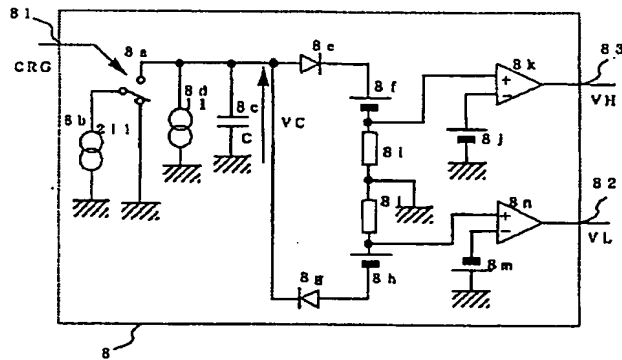
【符号の説明】

- 1 4分割受光素子
- 2 加算器
- 3 加算器
- 4 2値化手段
- 5 2値化手段
- 6 位相比較手段
- 7 第1の論理手段
- 8 位相差記憶手段
- 9 パルス幅検出手段
- 10 消去パルス発生手段
- 11 第2の論理手段
- 12 低域通過フィルタ
- 13 パルス幅制限手段
- 14 パルス幅制限手段

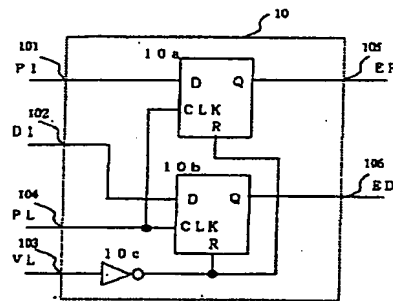
— 6 —

Timing diagram for the 74VHC04 inverter. The diagram shows the relationship between input signals A, B, P1, D1, CRG, VC, VL, VH, PL, ED, EP, P3, D3, and output signal TE. Key timing parameters are indicated: T2 (propagation delay), T3 (output delay), and T3より大 (greater than T3). The diagram also shows the detection levels for VH and VL.

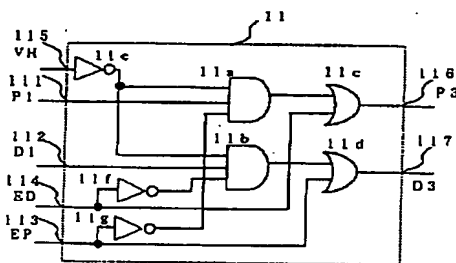
【図3】



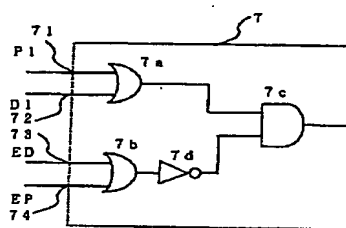
【図4】



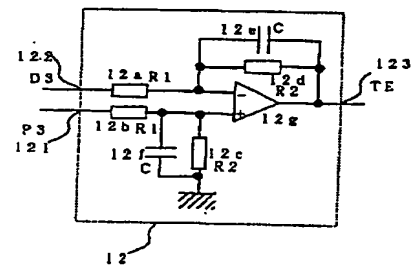
【図5】



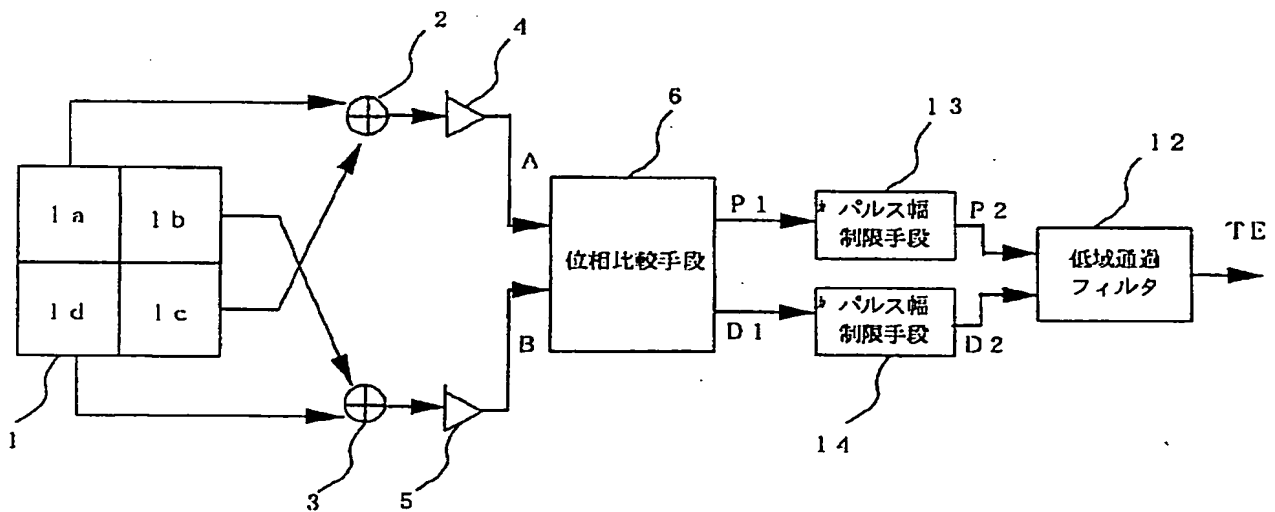
【図6】



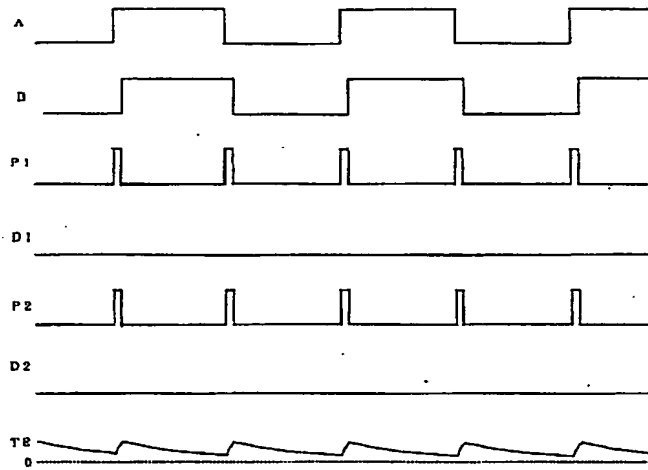
【図7】



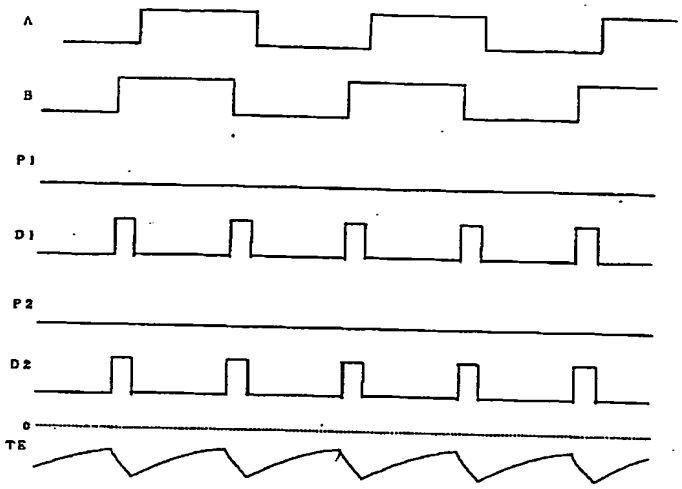
【図8】



【図9】



【図10】



【図11】

